

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

012224999 **Image available**

WPI Acc No: 99-031105/199903

XRAM Acc No: C99-009787

XRPX Acc No: N99-024183

Semiconductor thin film for active matrix substrate - has crystal structure with grain boundary surface having specific proportion of mismatching in coupling between crystals

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 10294280	A	19981104	JP 9844659	A	19980209	H01L-021/20	199903 B
KR 98071629	A	19981026	KR 985707	A	19980224	H01L-021/312	199953

Priority Applications (No Type Date): JP 9755633 A 19970224

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 10294280	A		19			

Abstract (Basic): JP 10294280 A

The film has barrier layers (109-111) which are made of silicon crystal and formed using a catalytic element influencing crystallization. The barrier layer is heat processed in halogen atmosphere to remove the catalytic element and obtain unique crystal structure.

The crystal structure has a grain boundary surface inbetween crystals. The proportion of mismatching in coupling between the crystals at the boundary surface is 5% or less.

USE - For semiconductor device e.g. IGFET, TFT, ring oscillator.

ADVANTAGE - Excels in high breakdown voltage characteristics.

Improves capability of semiconductor device.

Dwg.3/18

Title Terms: SEMICONDUCTOR; THIN; FILM; ACTIVE; MATRIX; SUBSTRATE; CRYSTAL;

STRUCTURE; GRAIN; BOUNDARY; SURFACE; SPECIFIC; PROPORTION; MISMATCH;

COUPLE; CRYSTAL

Derwent Class: L03; U12; U14

International Patent Class (Main): H01L-021/20; H01L-021/312

International Patent Class (Additional): H01L-021/336; H01L-029/786

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

06011180 **Image available**

SEMICONDUCTOR THIN FILM AND SEMICONDUCTOR DEVICE

PUB. NO.: **10-294280** [JP 10294280 A]

PUBLISHED: November 04, 1998 (19981104)

INVENTOR(s): YAMAZAKI SHUNPEI

 OTANI HISASHI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese
Company

 or Corporation), JP (Japan)

APPL. NO.: 10-044659 [JP 9844659]

FILED: February 09, 1998 (19980209)

INTL CLASS: [6] H01L-021/20; H01L-029/786; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS); R003 (ELECTRON BEAM); R004 (PLASMA); R011
(LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass
Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS); R098 (ELECTRONIC MATERIALS -- Charge
Transfer Elements, CCD & BBD); R100 (ELECTRONIC MATERIALS --
Ion Implantation); R131 (INFORMATION PROCESSING --
Microcomputers & Microprocessors)

ABSTRACT

PROBLEM TO BE SOLVED: To realize high performance by providing a semiconductor thin film with at least two crystals and intercrystal grain boundary and making the ratio of mismatching bond to all the bonds in a grain boundary not more than a specified ratio.

SOLUTION: Crystallization of an amorphous silicon film 102 proceeds precedably from addition regions 105, 106 whereto nickel is added and lateral growth regions 107, 108 which are formed almost parallel to a board surface of a board 101 are formed. The lateral growth regions 107, 108 alone are used as an active layer. According to a TEM picture wherein a crystalline silicon film of the lateral growth regions 107, 108 is enlarged, in a crystalline structure thereof, lattice stripes are continuously connected with each other in grain boundary while crystals are different from each other and crystal lattice matching is good. Furthermore, mismatching bond exists just at 5% or less to all the bonds existing in the grain boundary. It is considered that an angle formed by two crystal lattice stripes is in the range of 60 to 80 deg. (or 100 to 120 deg.).

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-294280

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/20

H 0 1 L 21/20

29/786

29/78

6 1 8 G

21/336

6 1 8 A

6 2 7 G

審査請求 未請求 請求項の数10 F D (全 19 頁)

(21) 出願番号 特願平10-44659

(71) 出願人 000153878

(22) 出願日 平成10年(1998)2月9日

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(31) 優先権主張番号 特願平9-55633

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

(32) 優先日 平9(1997)2月24日

導体エネルギー研究所内

(33) 優先権主張国 日本 (J P)

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(54) 【発明の名称】 半導体薄膜および半導体装置

(57) 【要約】

【目的】 IGFET に匹敵する性能を有した半導体装置を提供する。

【構成】 結晶化を助長する触媒元素を利用して結晶化した結晶シリコン膜で活性層を形成し、ハロゲン元素を含む雰囲気中で加熱処理を行い触媒元素を除去する。この様な工程を経た活性層は特異な結晶構造体で構成される。この結晶構造体では結晶粒界における全ての結合手に対する不整合結合手の割合が5%以下（好ましくは3%以下）であるという特徴がある。

【特許請求の範囲】

【請求項1】少なくとも二つの結晶と該結晶間の結晶粒界とを有し、前記結晶粒界における全ての結合手に対する不整合結合手の割合が5%以下であることを特徴とする半導体薄膜。

【請求項2】少なくとも二つの結晶と該結晶間の結晶粒界とを有し、前記結晶粒界の任意の少なくとも一つの領域では、100個の結合手のうちに含まれる不整合結合手が5個以下であることを特徴とする半導体薄膜。

【請求項3】少なくとも二つの結晶と該結晶間の結晶粒界とを有し、前記結晶粒界の任意の少なくとも一つの領域では、50個の結合手のうちに含まれる不整合結合手が0個であることを特徴とする半導体薄膜。

【請求項4】少なくとも二つの結晶と該結晶間の結晶粒界とを有し、前記少なくとも二つの結晶のうち、任意の一つの結晶に観察される格子縞と隣接する他の結晶に観察される格子縞とがなす角は 60° ～ 80° であることを特徴とする半導体薄膜。

【請求項5】請求項1乃至請求項4において、前記結晶を構成する主成分元素はシリコンであることを特徴とする半導体薄膜。

【請求項6】絶縁表面を有する基板上に形成された活性層、ゲート絶縁膜およびゲート電極とを少なくとも有する絶縁ゲート型半導体装置であって、前記活性層を構成する半導体薄膜は、少なくとも二つの結晶と該結晶間の結晶粒界とを有し、前記結晶粒界における全ての結合手に対する不整合結合手の割合が5%以下であることを特徴とする半導体装置。

【請求項7】絶縁表面を有する基板上に形成された活性層、ゲート絶縁膜およびゲート電極とを少なくとも有する絶縁ゲート型半導体装置であって、前記活性層を構成する半導体薄膜は、少なくとも二つの結晶と該結晶間の結晶粒界とを有し、前記結晶粒界の任意の少なくとも一つの領域では、100個の結合手のうちに含まれる不整合結合手が5個以下であることを特徴とする半導体装置。

【請求項8】絶縁表面を有する基板上に形成された活性層、ゲート絶縁膜およびゲート電極とを少なくとも有する絶縁ゲート型半導体装置であって、前記活性層を構成する半導体薄膜は、少なくとも二つの結晶と該結晶間の結晶粒界とを有し、前記結晶粒界の任意の少なくとも一つの領域では、50個の結合手のうちに含まれる不整合結合手が0個であることを特徴とする半導体装置。

【請求項9】絶縁表面を有する基板上に形成された活性層、ゲート絶縁膜およびゲート電極とを少なくとも有する絶縁ゲート型半導体装置であって、前記活性層を構成する半導体薄膜は、少なくとも二つの結晶と該結晶間の結晶粒界とを有し、前記少なくとも二つの結晶のうち、任意の一つの結晶に観察される格子縞

と隣接する他の結晶に観察される格子縞とがなす角は 60° ～ 80° であることを特徴とする半導体装置。

【請求項10】請求項6乃至請求項9において、前記結晶を構成する主成分元素はシリコンであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本明細書で開示する発明は、絶縁表面を有する基板上に形成された半導体薄膜およびそれを活性層とする半導体装置に関する。特に、半導体薄膜として結晶シリコン膜（結晶性珪素膜）を利用する場合の構成に関する。

【0002】なお、本明細書中において「半導体装置」とは半導体を利用して機能する装置全てを指しており、次の様なものが半導体装置の範疇に含まれるものとする。

- (1) TFT、IGFET等の単体素子。
- (2) (1)の単体素子を利用した半導体回路
- (3) (1)、(2)で構成される電気光学装置。
- (4) (2)、(3)を具備した電子デバイス。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数百～数千Å程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】例えば、液晶表示装置においてはマトリクス状に配列された画素領域を個々に制御する画素マトリクス回路、画素マトリクス回路を制御する駆動回路、さらに外部からのデータ信号を処理するロジック回路（プロセッサ回路やメモリ回路など）等のあらゆる電気回路にTFTを応用する試みがなされている。

【0005】現状においては、活性層として非晶質シリコン膜（アモルファスシリコン膜）を用いたTFTが実用化されているが、駆動回路やロジック回路などの様に、さらなる高速動作性能を求められる電気回路には、結晶シリコン膜（ポリシリコン膜、多結晶シリコン膜等）を利用したTFTが必要とされる。

【0006】例えば、ガラス基板上に結晶性珪素膜を形成する方法としては、本出願人による特開平7-130652号公報、特開平8-78329号公報に記載された技術が公知である。これらの公報記載の技術は、非晶質シリコン膜の結晶化を助長する触媒元素を利用することにより、500～600℃、4時間程度の加熱処理によって結晶性の優れた結晶シリコン膜を形成することを可能とするものである。

【0007】特に、特開平8-78329に記載された技術は上記技術を応用して基板面とほぼ平行な結晶成長を行わずのものであり、発明者らは形成された結晶化領域を特に

横成長領域（またはラテラル成長領域）と呼んでいる。

【0008】しかし、この様なTFTを用いて駆動回路を構成してもまだまだ要求される性能を完全に満たすには及ばない。特に、メガビットからギガビットレベルの極めて高速な動作を要求する高速ロジック回路を従来のTFTで構成することは不可能なのが現状である。

【0009】

【発明が解決しようとする課題】本願発明は、従来のTFTでは作製不可能であった様な高速ロジック回路を構成しうる極めて高性能な半導体装置を提供することを課題とする。また、その様な半導体装置を実現するための半導体薄膜を提供する。

【0010】

【課題を解決するための手段】本発明で得られる半導体薄膜は、少なくとも二つの結晶と該結晶間の結晶粒界とを有し、前記結晶粒界における全ての結合手に対する不整合結合手の割合が5%以下（好ましくは3%以下）であることを特徴とする。

【0011】また、他の構成としては、少なくとも二つの結晶と該結晶間の結晶粒界とを有し、前記結晶粒界の任意の少なくとも一つの領域では、100個の結合手のうちに含まれる不整合結合手が5個以下（3個以下）であることを特徴とする。

【0012】また、他の構成としては、少なくとも二つの結晶と該結晶間の結晶粒界とを有し、前記結晶粒界の任意の少なくとも一つの領域では、50個の結合手のうちに含まれる不整合結合手が0個であることを特徴とする。

【0013】また、他の構成としては、少なくとも二つの結晶と該結晶間の結晶粒界とを有し、前記少なくとも二つの結晶のうち、任意の一つの結晶に観察される格子縞と隣接する他の結晶に観察される格子縞とがなす角は60°～80°であることを特徴とする。

【0014】本発明は上記のような構成でなる半導体薄膜を利用してTFTに代表される半導体装置の活性層を構成し、駆動回路やロジック回路を構成するに足る高性能な半導体装置を実現するものである。

【0015】以上のような本発明の構成について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0016】

【実施例】

【実施例1】本実施例では絶縁表面を有する基板上に本発明によるTFTを形成し、画素マトリクス回路とCMOS回路とをモノシリックに構成する例を示す。なお、本実施例ではドライバ回路やロジック回路を構成する基本回路としてCMOS回路の例を示す。

【0017】まず、絶縁表面を有する基板として石英基板101を準備する。石英基板の代わりに表面に0.5～5μmの厚さの絶縁膜を形成したセラミックス基板、シ

リコン基板等を用いることができる。なお、太陽電池に使用される様なグレードの低いシリコン基板は安価であるので反射型表示装置の様に透光性基板を用いる必要のない用途において有効である。

【0018】102は非晶質シリコン膜であり、最終的な膜厚（熱酸化後の膜減りを考慮した膜厚）が10～75nm（好ましくは15～45nm）となる様に調節する。成膜は減圧熱CVD法またはプラズマCVD法によれば良い。

【0019】次に、非晶質シリコン膜102の結晶化工程を行う。結晶化の手段としては特開平7-130652号公報、同8-78329号公報記載の技術を用いることができるが、本実施例では後者の技術を用いた場合について説明する。

【0020】同公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜103を形成する。マスク絶縁膜103は触媒元素を添加するために複数箇所の開口を有している。このコンタクトホール位置によって結晶領域の位置を決定することができる。

【0021】そして、非晶質シリコン膜の結晶化を助長する触媒元素としてニッケル(Ni)を含有した溶液をスピンコート法により塗布し、Ni含有層104を形成する。なお、触媒元素としてはニッケル以外にも、コバルト(Co)、鉄(Fe)、錫(Sn)、鉛(Pb)、パラジウム(Pd)、白金(Pt)、銅(Cu)、金(Au)等を用いることができる。(図1(A))

【0022】また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0023】次に、触媒元素の添加工程が終了したら、不活性雰囲気または水素または酸素を含む雰囲気中において500～700℃、代表的には550～650℃の温度で4～12hrの加熱処理を加えて非晶質シリコン膜102の結晶化を行う。

【0024】この時、非晶質シリコン膜102の結晶化はニッケルを添加した添加領域105、106から優先的に進行し、基板101の基板面に対してほぼ平行に成長した横成長領域107、108が形成される。本発明ではこの横成長領域107、108のみを活性層として利用する。(図1(B))

【0025】結晶化のための加熱処理が終了したら、マスク絶縁膜103を除去してパターニングを行い、横成長領域のみでなる島状半導体層（活性層）109～111を形成する。ここで109はCMOS回路を構成するNチャネル型TFTの活性層、110はCMOS回路を構成するPチャネル型TFTの活性層、111は画素マトリクス回路を構成するNチャネル型TFTの活性層である。

【0026】横成長領域でなる結晶シリコン膜で構成される活性層109～111を形成したら、その上に珪素を含む絶縁膜でなるゲイト絶縁膜112を成膜する。ゲイト絶縁膜112の膜厚は後の熱酸化工程による増加分も考慮して20～250nmの範囲で調節すれば良い。また、成膜方法は公知の気相法を用いれば良い。

【0027】次に、図1(C)に示す様に触媒元素(ニッケル)をゲッターリング除去するための加熱処理(触媒元素のゲッターリングプロセス)を行う。この加熱処理はハロゲン元素による金属元素のゲッターリング効果を利用するものである。なお、ハロゲン元素によるゲッターリング効果を十分に得るためには、上記加熱処理を700℃を越える温度で行なうことが好ましい。そのため、本実施例ではこの加熱処理を700℃を越える温度で行い、好ましくは800～1000℃(代表的には950℃)とし、処理時間は0.1～6hr、代表的には0.5～1hrとする。

【0028】また、ここでは酸素(O_2)雰囲気中に対して塩化水素(HCl)を0.5～10体積%(本実施例では3体積%)の濃度で含有させた雰囲気中において、950℃、30分の加熱処理を行う例を示す。HCl濃度を上記濃度以上とすると、活性層110～112の表面に膜厚程度の凹凸が生じてしまうため好ましくない。

【0029】また、上述の酸化性雰囲気中に高濃度の窒素(N_2)を混ぜた雰囲気とすることで結晶シリコン膜の酸化速度を低下させることができる。熱酸化反応を必要以上に進ませずにゲッターリング時間を増やす場合に有効な手段である。

【0030】また、ハロゲン元素を含む化合物としてHClガスを用いる例を示したが、それ以外のガスとして、代表的にはHF、 NF_3 、HBr、 Cl_2 、 ClF_3 、 BCl_3 、 F_2 、 Br_2 等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることが出来る。

【0031】この工程においては活性層109～111中のニッケルが塩素の作用によりゲッターリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。そして、この工程により活性層109～111中のニッケルの濃度は 1×10^{17} atoms/cm³以下(好ましくはスピン密度以下)にまで低減される。なお、本明細書における不純物濃度はSIMS分析で得られた計測値の最小値で定義される。

【0032】また、上記加熱処理により活性層109～111とゲイト絶縁膜112の界面では熱酸化反応が進行し、形成された熱酸化膜(図示せず)の分だけゲイト絶縁膜112の全膜厚は増加する。そのため、熱酸化膜の形成分に比例して活性層109～111は薄膜化される。活性層の薄膜化はTFTのオフ電流の低減、電界効果移動度の向上などの効果を促進する。

【0033】また、ドライエッチング法で形成される活性層109～111には通常エッジにプラズマダメージ

が残留するが、本発明ではエッジも熱酸化されるためこの様なダメージも除去される。

【0034】さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で950℃1時間程度の加熱処理を行なうことで、ゲイト絶縁膜112の膜質の向上と共に、極めて良好な半導体/絶縁膜界面が実現される。

【0035】なお、SIMS分析により活性層109～111中にはゲッターリング処理に使用したハロゲン元素が $1 \times 10^{15} \sim 1 \times 10^{20}$ atoms/cm³の濃度で残存することも確認されている。また、その際、活性層109～111と加熱処理によって形成される熱酸化膜との間に前述のハロゲン元素が高濃度に分布することがSIMS分析によって確かめられている。

【0036】以上の様な触媒元素のゲッターリング工程を終了したら、0.2wt%のスカンジウムを含有したアルミニウム膜(図示せず)を成膜し、後のゲイト電極の原型となる電極パターンを形成する。なお、アルミニウム膜の代わりにタンタル、タングステン、モリブデン、シリコン等を用いることもできる。そして、そのパターンの表面を陽極酸化することで、ゲイト電極113～115、陽極酸化膜116～118を形成する。(図1(D))

【0037】次に、ゲイト電極113～115をマスクとして自己整合的にゲイト絶縁膜112のエッチングを行う。エッチングは CHF_3 ガスを用いたドライエッチング法で行えば良い。この工程により、ゲイト電極の直下のみに残存するゲイト絶縁膜119～121が形成される。

【0038】次に、Pチャネル型TFTとなる領域を覆ってレジストマスク122を形成した後、N型を付与する不純物イオンの添加を行う。不純物イオンの添加はイオン注入法やプラズマドーピング法によれば良い。また、この時の濃度(n^- で表す)は後にLDD領域の濃度($1 \times 10^{18} \sim 1 \times 10^{19}$ atoms/cm³程度)となるので、予め最適値を実験的に求めて精密な制御を行う必要がある。こうして、 n^- 領域123～126が形成される。(図1(E))

【0039】 n^- 領域123～126を形成したら、レジストマスク122を除去して、今度はNチャネル型TFTを覆ってレジストマスク127を形成する。そして、P型を付与する不純物イオンの添加を行い、 p^- 領域128、129を形成する。この p^- 領域128、129も後にLDD領域の濃度($5 \times 10^{18} \sim 5 \times 10^{19}$ atoms/cm³程度)となるので精密な制御を行う必要がある。(図2(A))

【0040】以上の様にして n^- 領域123～126、 p^- 領域128、129を形成したら、レジストマスク127を除去する。そして、図示しない酸化珪素膜を0.5～2μmの厚さに成膜し、エッチバック法によりサイドウォール130～132を形成する。(図2

(B))

【0041】次に、再びPチャネル型TFTを覆ってレジストマスク133を形成し、N型を付与する不純物イオンの添加工程を行う。今回は前述の添加濃度である n^- よりも高い濃度(n^+ で表す)で添加する。この濃度はソース/ドレイン領域のシート抵抗が500Ω以下(好ましくは300Ω以下)となる様に調節する。

【0042】この工程によりCMOS回路を構成するNチャネル型TFTのソース領域134、ドレイン領域135が形成され、サイドウォールの影になって濃度の変化しなかった領域136が低濃度不純物領域(特にドレイン領域側はLDD領域と呼ばれる)となる。また、ゲイト電極の直下は真性または実質的に真性なチャネル形成領域137となる。また、同時に画素マトリクス回路を構成するNチャネル型TFTのソース領域138、ドレイン領域139、低濃度不純物領域140、チャネル形成領域141が形成される。(図2(C))

【0043】次に、レジストマスク133を除去し、Nチャネル型TFTを覆ってレジストマスク142を形成する。そして、P型を付与する不純物イオンを1度目よりも高い濃度(p^+ で表す)で添加することにより、CMOS回路を構成するPチャネル型TFTのソース領域143、ドレイン領域144、低濃度不純物領域145、チャネル形成領域146を形成する。(図2(D))

【0044】以上のようにして全ての活性層が完成する。こうして全ての不純物イオンの添加工程が終了したら、レジストマスク142を除去した後、ファーネスアニール、レーザーアニール、ランプアニール等の加熱処理により不純物イオンの活性化を行う。なお、活性層が受けたイオン注入時のダメージは同時に回復される。

【0045】次に、チタン(Ti)膜147を20~50nmの厚さに成膜して、ランプアニールによる加熱処理を行う。この時、チタン膜147と接触していたシリコン膜はシリサイド化し、ソース/ドレイン領域にはチタンシリサイド148~150が形成される。なお、チタンの代わりにコバルト(Co)、タングステン(W)、タンタル(Ta)、モリブデン(Mo)等を用いても良い。(図3(A))

【0046】シリサイド化を終えたら、チタン膜147をパターニングしてソース/ドレイン領域上に島状パターン151~153を形成する。この島状パターン151~153は、後にソース/ドレイン領域と配線とを接続するコンタクトホールを形成する際にチタンシリサイド148~150が無くなってしまうのを防ぐためのパターンである。

【0047】次に、第1の層間絶縁膜154として酸化珪素膜を0.3~1μmの厚さに成膜し、コンタクトホールを形成してソース配線155~157、ドレイン配線158、159を形成する。こうして図3(B)に示す

状態が得られる。なお、第1の層間絶縁膜154として有機性樹脂膜を用いることもできる。

【0048】図3(B)に示す状態が得られたら、有機性樹脂膜でなる第2の層間絶縁膜160を0.5~3μmの厚さに形成する。有機性樹脂膜としてはポリイミド、アクリル、ポリアミド、ポリイミドアミド等が用いられる。有機性樹脂膜の利点は、

①成膜方法が簡単である点、②容易に膜厚を厚くできる点、③比誘電率が低いので寄生容量を低減できる点、④平坦性に優れている点などが挙げられる。

【0049】そして、層間絶縁膜160上に遮光性を有する膜でなるブラックマスク161を100nmの厚さに形成する。なお、本実施例ではブラックマスクとしてチタン膜を用いるが、黒色顔料を含む樹脂膜等を用いることもできる。

【0050】ブラックマスク161を形成したら、第3の層間絶縁膜162として酸化珪素膜、窒化珪素膜、有機性樹脂膜のいずれかまたはそれらの積層膜を0.1~0.3μmの厚さに形成する。そして、第2の層間絶縁膜160および第3の層間絶縁膜162にコンタクトホールを形成し、画素電極163を120nmの厚さに形成する。この時ブラックマスク161と画素電極163が重畳する領域では補助容量164が形成される。(図3(C))

【0051】次に、基板全体を350℃の水素雰囲気中で1~2hr加熱し、素子全体の水素化を行うことで膜中(特に活性層中)のダングリングボンド(不対結合手)を補償する。以上の工程を経て同一基板上にCMOS回路および画素マトリクス回路を作製することができる。

【0052】〔本発明で得られる結晶シリコン膜に関する知見〕上記作製工程に従って形成した活性層の外観は図8に示す様なものとなる。図8に示す活性層は長さ数十~数百μmにも及ぶ横成長領域のみを用いて形成されている。また、図8において確認できる横縞の様な模様は結晶成長の方向を示している。

【0053】特開平8-78329号公報に従って形成した横成長領域は巨視的に見ると棒状または偏平棒状結晶が互いにほぼ平行に結晶成長していくため、結晶方向が揃っているという特徴がある。それを利用して図8に示す様にキャリアが移動する方向(ソース領域からドレイン領域に向かう方向)と結晶が成長した方向とを揃えることはキャリアの移動度を高める上で有効である。これはキャリアの移動方向が結晶粒界によって特定の一方方向に規定されるため、キャリア同士の衝突による散乱が少なくなるからである。

【0054】次に、本発明で得られる結晶シリコン膜を1万倍に拡大したTEM(透過型電子顕微鏡法)写真(暗視野)を図9に示す。図9(A)に示すのは本発明の結晶シリコン膜であり、図9(B)に示すのは一般的に高温ポリシリコンと呼ばれる結晶シリコン膜である。

図9 (B) の高温ポリシリコン膜は、非晶質シリコン膜の結晶化を600℃24hrの熱結晶化で行い触媒元素を用いていない。

【0055】なお、図中の黒く見える領域と白く見える領域は結晶の面方位の違いによるコントラストの相違であり、白く見える領域はほぼ同一の面方位の結晶面が現れていると考えられる。従って、白く見える領域を追っていけば結晶の凡その成長方向を確認することができる。

【0056】これを踏まえて図9 (A) と図9 (B) とを見比べると、図9 (A) には図面に向かって横方向へ明らかに白く見える領域の流れが確認できる。即ち、本発明の結晶シリコン膜が特定の方向性をもって成長した棒状または偏平棒状結晶の集合した結晶構造体であることを示している。なお、図8において確認された矢印方向への横縞模様は、図9 (A) において確認される白い模様に対応していると考えられる。

【0057】一方、図9 (B) では白く見える領域がクラスター状の塊となって点在しているのみで流れの様な模様は全く確認できない。即ち、高温ポリシリコン膜は粒状の結晶が多数集合して形成されていると考えられる。

【0058】以上のことは本発明の結晶シリコン膜の結晶構造が、従来の高温ポリシリコン膜とは全く異なることを示している。

【0059】また、棒状または偏平棒状結晶同士の結晶粒界を400万倍に拡大したHR-TEM写真を図10に示す。HR-TEM (高分解能透過型電子顕微鏡法) とは、試料に対して垂直に電子線を照射し、透過電子や弾性散乱電子の干渉を利用して原子・分子配列を評価する手法である。

【0060】HR-TEMでは結晶格子の配列状態を格子縞として観察することが可能である。従って、結晶粒界を観察することで、結晶粒界における原子同士の結合状態を推測することができる。なお、格子縞は白と黒の縞模様となって現れるが、コントラストの相違であって原子の位置を示すものではない。

【0061】ここで図10 (A) は本発明の結晶シリコン膜であり、図10 (B) はその一部の模式図を示す。また、図10 (C) は高温ポリシリコン膜であり、図10 (D) はその一部の模式図を示す。

【0062】図10 (A) ではコントラストの異なる二つの結晶が、写真中央の結晶粒界で接した状態が観察されている。また、結晶粒界の左側の結晶は横方向に向かう格子縞が観察され、右側の結晶は斜め上の方向に向かう格子縞が観察される。

【0063】なお、左側の結晶の格子縞には本来見えるべき格子縞と交差して、右側の結晶の格子縞とほぼ平行の薄い格子縞が見える。この薄い格子縞は測定上の誤差により生じた他の格子配列の情報である。この誤差は試

料に対して電子線が斜めに照射される場合に見られるが、二つの結晶に全く垂直に電子線を照射するのは技術的にも極めて困難であり、測定上の誤差としては止むを得ない。

【0064】次に、図10 (A) の枠線の中を模式的に示したのが図10 (B) である。図10 (B) の実線は格子縞を表している。また、左側の結晶に見られる誤差による格子縞は点線で表す。

【0065】この時、図10 (B) に示す様に、実線で示す格子縞は左側の結晶の格子縞と右側の結晶の格子縞とが1対1に対応して接合しており、結晶粒界付近でも格子配列の乱れを生じていないことが判る。

【0066】従って、図10 (A) のHR-TEM写真を詳細に観察すると、互いに異なる結晶でありながら結晶粒界において格子縞が連続的に連なっており、結晶格子の整合性が非常に良いことが確認できる。即ち、結晶粒界における結合手 (原子間の結合手) には不対結合手の如き結晶欠陥は殆ど存在しないと判断できる。

【0067】一方、図10 (C) に示す高温ポリシリコン膜では、異なる結晶に見られる各格子縞が無秩序に接合しており、図10 (D) に示す様に不対結合手の如き結晶欠陥 (点欠陥) が多数存在していると判断できる。そのため、結晶粒界にはキャリアにとって多数のトラップが存在していると予想される。

【0068】なお、図10 (A) に見られる様に格子縞が整合性よく対応した場合の原子の結合状態を整合結合と呼び、その時の結合手を整合結合手と呼ぶ。また、図10 (C) に多く見られる様に格子縞が整合性よく対応しない場合の原子の結合状態を不整合結合と呼び、その時の結合手を不整合結合手 (または不対結合手) と呼ぶことにする。

【0069】以上の様に、HR-TEM分析による結晶粒界の詳細な観察からも本発明の結晶シリコン膜と一般的な高温ポリシリコン膜とが異なることが確認された。また、本発明の結晶シリコン膜に関して以下の様な興味深い知見が得られた。

【0070】本発明者らによれば、本発明の結晶シリコン膜を構成する結晶のうち、任意の結晶 (例えば結晶Aと呼ぶ) と隣接する他の結晶 (例えば結晶Bと呼ぶ) との結晶粒界において、結晶Aの格子縞と結晶Bの格子縞とが連続性を持たない部分、即ち不整合結合手は、その結晶粒界に存在する全ての結合手に対して5%以下 (好ましくは3%以下) の割合しか存在しない。

【0071】即ち、結晶粒界に存在する任意の100個の結合手のうちに含まれる不整合結合手は5個以下 (好ましくは3個以下) であることを意味している。この確認はHR-TEM分析を行えば容易である。即ち、結晶粒界の任意の領域において100本の格子縞の接合領域を見る時、途中で途切れた格子縞が5本以下 (好ましくは3本以下) であることから確認できる。

【0072】なお、結晶粒界に存在する任意の100個の結合手のうちに含まれる不整合結合手は5個以下であると記載したが、これは最大値的な意味合いを持たせただけであって実際には殆ど不整合結合手は存在しない。例えば、任意の50個の結合手を観察すると、不整合結合手が0個であるといった領域も存在する。

【0073】また、図10(A)において二つの結晶の格子縞が互いになす角は約70°（または110°）である。なお、TEM観察時に試料が傾いているかどうかを図10(A)では確認できないため、傾きによる誤差を考慮すると60~80°（または100~120°）の範囲であると考えられる。

【0074】さらに、本発明の結晶シリコン膜の場合、結晶粒界が傾角粒界と呼ばれる特殊な粒界を形成している可能性が高い。このような傾角粒界は電氣的に不活性であるため、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しない特徴がある。即ち、本発明で得られるTFEの驚異的な特性は、この傾角粒界によるところが大きいと考えられる。

【0075】傾角粒界とは、粒界面内に存在する結晶軸を回転軸として隣接する結晶を回転した時にできる粒界である（材料評価のための高分解能電子顕微鏡法：進藤大輔、平賀賢二共著、pp. 54~60、共立出版株式会社、1996）。この時、傾角粒界を形成する二つの結晶の露出面（以下、結晶面と呼ぶ）は同一の面方位を示し、この面方位が回転軸と一致する。即ち、二つの結晶の結晶面が同一の面方位を示さない限り傾角粒界を作り得ないのである。

【0076】格子縞観察の基本知識として、単位長さ当たりに見える格子縞の本数と、結晶の単位格子定数とを照らし合わせることで、露出面の面方位を推定できることが知られている。本発明者らは本発明の結晶シリコン膜において上述の観察を重ねて行い、全ての結晶面はほぼ同一の面方位（111）であると判断した。

【0077】なお、高温ポリシリコン膜の場合においての上述の観察を行ったところ、結晶面は様々な面方位が確認され、傾角粒界を作り得ないことが確認できた。

【0078】また、前述の参考書（材料評価のための高分解能電子顕微鏡法）によれば、このような傾角粒界には対応粒界と呼ばれるものがある。対応粒界とは傾角粒界の中でも特に整合性が良い結晶粒界（典型的なものが双晶粒界）であり、その整合性の程度をΣ値で表すことができる。

【0079】例えば、Σ値の値が小さいほど隣接する二つの結晶粒界（対応粒界）の整合性は良いと言える。特に、回転軸が[111]である場合、回転角（二つの結晶の格子縞が互いになす角と考えて良い）が60°の時にΣ値が最小の3となることが報告されている。

【0080】前述の様に本発明の結晶シリコン膜は面方位が（111）であるので回転軸は[111]となる。

従って、本発明の結晶シリコン膜に含まれる結晶粒界において、異なる二つの結晶の回転角が60~80°であることは、本発明の結晶シリコン膜が対応粒界である可能性が高いことを示唆している。

【0081】なお、本発明の結晶シリコン膜を形成するにあたって結晶化温度以上の温度でのアニール工程（本実施例の場合、図1(C)に示す工程）は、結晶粒内の欠陥低減に関して重要な役割を果たしている。その事について説明する。

【0082】図17(A)は図1(B)に示した結晶化工程までを終了した時点での結晶シリコン膜を25万倍に拡大したTEM写真であり、結晶粒内（黒い部分と白い部分はコントラストの差に起因して現れる）に矢印で示される様なジグザグ状に見える欠陥が確認される。

【0083】このような欠陥は主としてシリコン結晶格子面の原子の積み重ね順序が食い違っている積層欠陥であるが、転位などの場合もある。図17(A)は{111}面に平行な欠陥面を有する積層欠陥と思われる。その事は、ジグザグ状に見える欠陥が約70°の角をなして折れ曲がっていることから推測できる。

【0084】一方、図17(B)に示す様に、同倍率で見た本発明の結晶シリコン膜は、結晶粒内には殆ど積層欠陥や転位などに起因する欠陥が見られず、非常に結晶性が高いことが確認できる。この傾向は膜面全体について言えることであり、欠陥数をゼロにすることは現状では困難であるが、実質的にゼロと見なせる程度にまで低減することができる。

【0085】即ち、本発明の結晶シリコン膜は結晶粒内の欠陥が殆ど無視しうる程度にまで低減され、且つ、結晶粒界が高い連続性によってキャリア移動の障壁になれないため、単結晶または実質的に単結晶と見なせる。

【0086】この様に、図17(A)と(B)の写真に示した結晶シリコン膜は結晶粒界はほぼ同等の連続性を有しているが、結晶粒内の欠陥数には大きな差がある。本発明の結晶シリコン膜が図17(A)に示した結晶シリコン膜よりも遙に高い電気特性を示す理由はこの欠陥数の差によるところが大きい。

【0087】以上の事から、本発明にとって図1(C)に示した工程は必要不可欠な工程であることが判る。本発明者らは、この工程によって起こる現象について次の様なモデルを考えている。

【0088】まず、図17(A)に示す状態では結晶粒内の欠陥（主として積層欠陥）には触媒元素（代表的にはニッケル）が偏析している。即ち、Si-Ni-Siといった形の結合が多数存在していると考えられる。

【0089】しかしながら、触媒元素のゲッターリングプロセスを行うことで欠陥に存在するNiが除去されると、Si-Ni結合は切れる。そのため、シリコンの余った結合手はすぐにSi-Si結合を形成して安定する。こうして欠陥が消滅する。

【0090】勿論、高い温度での熱アニールによって結晶シリコン膜中の欠陥が消滅することは知られているが、本発明ではニッケルとの結合が切れて未結合手が多く発生するためシリコンの再結合がさらにスムーズに行われると推測できる。

【0091】また、同時に結晶シリコン膜が熱酸化される際に発生する余剰シリコン原子が安定性を求めて欠陥へと移動し、Si-Si 結合の生成に大きく寄与していると考えられる。この概念はいわゆる高温ポリシリコン膜の結晶粒内に欠陥が少ない理由として知られている。

【0092】また、本発明者らは結晶化温度を超える温度（代表的には 700～1100℃）で加熱処理を行うことで結晶シリコン膜とその下地との間が固着し、密着性が高まることで欠陥が消滅するというモデルを考えている。

【0093】結晶シリコン膜と下地膜となる酸化珪素膜とでは、熱膨張係数に 10 倍近くの差がある。従って、非晶質シリコン膜から結晶シリコン膜に変成した段階（図 17（A））では、結晶シリコン膜が冷却される時に非常に大きな応力が結晶シリコン膜にかかる。

【0094】この事について、図 18 を用いて説明する。図 18（A）は結晶化工程後の結晶シリコン膜にかかる熱履歴を示している。まず、温度（ t_1 ）で結晶化された結晶シリコン膜は冷却期間（a）を経て室温まで冷やされる。

【0095】ここで図 18（B）に示すのは冷却期間（a）にある時の結晶シリコン膜であり、10 は石英基板、11 は結晶シリコン膜である。この時、結晶シリコン膜 11 と石英基板 10 との界面 12 における密着性はあまり高くなく、それが原因となって多数の粒内欠陥が発生していると考えられる。

【0096】即ち、熱膨張係数の差によって引っ張られた結晶シリコン膜 11 は石英基板 10 上で非常に動きやすく、引っ張り応力などの力によって積層欠陥や転位などの欠陥 13 を容易に生じてしまうと考えられる。

【0097】こうして得られた結晶シリコン膜が図 17（A）に示した様な状態となるのである。そしてその後、図 18（A）に示す様に温度（ t_2 ）で触媒元素のゲッタリング工程が施され、その結果、結晶シリコン膜中の欠陥が前述の理由によって消滅する。

【0098】ここで重要なことは触媒元素のゲッタリング工程が行われると同時に結晶シリコン膜石英基板に固着され、石英基板との密着性が高まる点である。即ち、このゲッタリング工程は結晶シリコン膜と石英基板（下地）との固着工程を兼ねていると考えられる。

【0099】こうしてゲッタリング+固着工程を終了すると冷却期間（b）を経て室温まで冷やされる。ここで結晶化工程の後の冷却期間（a）と異なる点は、石英基板 10 とアニール後の結晶シリコン膜 14 との界面 15 が非常に密着性の高い状態となっている点である。（図 18（C））

【0100】この様に密着性が高いと石英基板 10 に対して結晶シリコン膜 14 が完全に固着されるので、結晶シリコン膜の冷却段階において結晶シリコン膜に応力が加わっても欠陥が発生するには至らない。即ち、再び欠陥が発生する様なことを防ぐことができる。

【0101】なお、図 18（A）では結晶化工程後に室温まで下げるプロセスを例にとっているが、結晶化が終了したらそのまま温度を上げてゲッタリング+固着工程を行うこともできる。その様なプロセスを経ても本発明の結晶シリコン膜を得ることは可能である。

【0102】こうして得られた本発明の結晶シリコン膜（図 17（B））は、単に結晶化を行っただけの結晶シリコン膜（図 17（A））に較べて格段に結晶粒内の欠陥数が少ないという特徴を有している。

【0103】この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本発明の結晶シリコン膜のスピン密度は少なくとも $5 \times 10^{17} \text{spins/cm}^3$ 以下（好ましくは $3 \times 10^{17} \text{spins/cm}^3$ 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0104】以上の様な結晶構造および特徴を有する本発明の結晶シリコン膜は、連続粒界結晶シリコン（Continuous Grain Silicon : CGS）と呼ばれる。

【0105】〔本発明で得られる TFT に関する知見〕
上述の様な結晶シリコン膜を活性層として作製した TFT は図 11 に示す様な電気特性を示す。図 11 に示すのは横軸にゲート電圧（Vg）、縦軸にドレイン電圧（Id）の対数をとってプロットした N チャネル型 TFT の Id-Vg 曲線（Id-Vg 特性）である。なお、電気特性の測定は市販の装置（ヒューレットパッカード社製：型番 4145B）を用いて行った。

【0106】図 11 において、1101 は上記工程で得られた活性層を利用した TFT の電気特性であり、1102 は従来の TFT の電気特性を示している。従来の TFT とは上記工程から触媒元素のゲッタリングプロセスを削除した工程で作製された TFT を指している。

【0107】両方のトランジスタ特性を比較すると、まず同じゲート電圧でも 1101 で示される特性の方が 2～4 桁近く大きいオン電流が流れることが確認できる。なお、オン電流とは TFT がオン状態（図 11 においてゲート電圧が約 0～5 V の範囲）にある時に流れるドレイン電流のことを指す。

【0108】また、1101 で示される特性の方が優れたサブスレッショルド特性を有していることも確認できる。サブスレッショルド特性とは TFT のスイッチング動作の急峻性を示すパラメータであり、TFT がオフ状態からオン状態にスイッチングする際の Id-Vg 曲線の立ち上がりが急峻である程、サブスレッショルド特性は良

いと言える。

【0109】なお、本発明で得られるTFETの代表的な電気特性は次に示す様なものであった。

(1) TFETのスイッチング性能(オン/オフ動作の切り換えの俊敏性)を示すパラメータであるサブスレッショルド係数が、N型TFETおよびP型TFETともに60~100mV/decade(代表的には60~85mV/decade)と小さい。なお、このデータ値は単結晶シリコンを用いた絶縁ゲイト型電界効果トランジスタ(IGFET)の場合とほぼ同等である。

(2) TFETの動作速度の速さを示すパラメータである電界効果移動度(μ_{FE})が、N型TFETで200~650cm²/Vs(代表的には250~300cm²/Vs)、P型TFETで100~300cm²/Vs(代表的には150~200cm²/Vs)と大きい。

(3) TFETの駆動電圧の目安となるパラメータであるしきい値電圧(V_{th})が、N型TFETで-0.5~1.5V、P型TFETで-1.5~0.5Vと小さい。この事は小さい電源電圧で駆動して消費電力を小さくできることを意味している。

【0110】以上の様に、本発明で得られるTFETは極めて優れたスイッチング特性および高速動作特性を有している。また、特異な結晶構造体に起因して短チャネル効果の影響を受けにくいという特徴がある。その事について以下に説明する。

【0111】短チャネル効果とはチャネル長(ゲイト長とほぼ一致)が微細化された時にTFET特性が悪化する現象であり、しきい値電圧の低下、ドレイン耐圧の低下等が典型的である。原因としては、ドレイン側空乏層がソース側へ広がることでソースおよびチャネル領域近傍の電位が変化し、ゲイト電圧による制御が困難な状態になるためと報告されている。なお、短チャネル効果に関する詳細は「VLSIデバイスの物理;小柳光正他;丸善;1986」に詳しい。

【0112】しかしながら、本発明のTFETはチャネル長が0.5 μ m前後と短い場合においても、極めて高い動作速度と高いドレイン耐圧とを同時に有し、加速試験による評価で信頼性の高いTFETであることが確認されている。

【0113】本発明者らは、本発明で得られるTFETのドレイン耐圧が高い理由として結晶粒界が効果的に機能していると推察している。これは、チャネル形成領域においてキャリアが移動する方向とほぼ平行に延在する結晶粒界がエネルギー障壁として振る舞い、ドレイン領域からの空乏層の広がりを効果的に抑制するためパンチスルーによるドレイン耐圧の低下が効果的に抑制されるという考えである。

【0114】また、真性または実質的に真性な結晶シリコン膜を用いてチャネル形成領域を形成できることが、高い電界効果移動度を実現する要因であると言える。な

お、真性または実質的に真性であるとは以下の条件のうち、少なくとも一つを満たすことを意味している。

- ① シリコン膜の活性化エネルギーがほぼ1/2(フェルミレベルが禁制体のほぼ中央に位置する)である。
- ② スピン密度よりも不純物濃度が低い領域である。
- ③ 意図的に不純物を添加していないアンドープ(undoped)またはイントリンシック(intrinsic)な領域である。

【0115】以上の短チャネル効果の抑制に関する考察は本発明者らの推察に他ならないが、TFETの測定データは事実であり、従来のシリコン薄膜を用いたTFETとはまるで異なる優れた性能を有することも事実である。

【0116】(本発明のTFETで構成した回路の特性)次に、本発明者らが本発明で得られるTFETを用いて作製したリングオシレータによる周波数特性を示す。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数: 9段

TFETのゲイト絶縁膜の膜厚: 30nm及び50nm

TFETのゲイト長: 0.6 μ m

【0117】上記リングオシレータの電源電圧5Vの時の発振周波数をスペクトラムアナライザーで測定した結果を図12に示す。図12において、横軸は電源電圧(V_{DD})、縦軸は発振周波数(f_{osc})である。図12が示す様に、ゲイト絶縁膜が30nmのTFETを用いた場合において1GHz以上の発振周波数を実現している。

【0118】図13に示すのは1.04GHzの発振周波数を得た際のスペクトラムアナライザーの出力スペクトルの様子である。横軸は1~1.1GHzまでの周波数であり、縦軸はログスケールでとった電圧(出力振幅)である。図13に明らかな様に、1.04GHzのところで出力スペクトルのピークが現れている。なお、出力スペクトルがテールを引いているのは装置の分解能によるものであり、実験結果に影響するものではない。

【0119】また、実際にLSI回路のTEGの一つであるシフトレジスタを作製して10~100MHzの動作周波数で駆動した際の出力パルスを確認し、シフトレジスタの動作性能を調べた。図14に示すオシロスコープの画面(上側がクロックパルス、下側が出力パルスを示す)は、ゲイト絶縁膜の膜厚30nm、ゲイト長0.6 μ m、動作周波数100MHz、電源電圧5V、段数50段のシフトレジスタ回路の出力パルスを表している。

【0120】本発明者らが確認した結果、図15に示す様に出力パルス幅 t の逆数(縦軸)と動作周波数(横軸)とは比例関係にあり、単独で100MHzもの高周波駆動が可能で、かつ、出力パルスが殆どなまりのない理想状態で得られる極めて高性能なシフトレジスタである

ことが判明した。なお、実験は多少回路構成の異なる2種類のシフトレジスタを用いたのでそれぞれをシフトレジスタ1およびシフトレジスタ2とした。

【0121】以上の様なリングシレータおよびシフトレジスタの驚異的なデータは、特異な結晶構造体で構成される本発明のTFTが単結晶シリコンを利用したIGFETに匹敵する、若しくは凌駕する性能を有していることを示している。

【0122】それを裏付ける証拠として次の様なデータがある。図16に示すデータは横軸に電源電圧

(V_{DD})、縦軸に $F/O=1$ (ファンアウト比が1)のインバータの1段当たりの遅延時間(τ_{pd})をとったグラフである(ロジックLSI技術の革新, 前口賢二他, p108, 株式会社サイエンスフォーラム, 1995)。図中の様々な曲線(点線で示されるもの)は、単結晶シリコンを利用したFETを様々なデザインルールで作製した時のデータであり、いわゆるスケーリング則を示している。

【0123】この図に上述のリングオシレータを用いて得たインバータの遅延時間と電源電圧との関係を当てはめると、図16において実線で示される曲線となる。注目すべきはチャネル長が $0.5\mu\text{m}$ 、ゲイト絶縁膜の膜厚(t_{OX})が 1.1nm のIGFETで作製したインバータよりも、チャネル長が $0.6\mu\text{m}$ 、ゲイト絶縁膜の膜厚が 30nm のTFTで作製したインバータの方が優れた性能を有している点である。

【0124】この事は本発明者で得られるTFTがIGFETよりも優れた性能を有していることを如実に示している。例えば、上記TFTを構成するゲイト絶縁膜の膜厚をIGFETの3倍以上としても、性能的に同等もしくはそれ以上のものが得られるのである。即ち、本発明のTFTは同等の特性を動作性能を有するIGFETよりも優れた絶縁耐圧を有していると言える。

【0125】また同時に、本発明のTFTがスケーリング則に従って微細化されればさらに高い性能を実現することが可能である。本発明は短チャネル効果に影響されにくいので例えばリングオシレータを $0.2\mu\text{m}$ ルールで作製すればスケーリング則によると 9GHz の動作周波数を実現しようと予想される(動作周波数 f がチャネル長 L の二乗に反比例するため)。

【0126】以上の様に、本発明のTFTは極めて優れた特性を有し、そのTFTを用いて形成した半導体回路は 10GHz 以上の高速動作を実現しうる全く新しいTFTであることが確認された。

【0127】〔実施例2〕本実施例では実施例1に示した作製工程とは別の工程例を示す。具体的には活性層を形成する前に、結晶性珪素膜に対してハロゲン元素を含む雰囲気における加熱処理を施し、ニッケルをゲッタリング除去する。

【0128】本実施例に示す工程を実施例1と組み合わ

せることで活性層中のニッケル濃度をさらに効果的に低減することが可能である。

【0129】また、 700°C を超える加熱処理によって結晶性珪素膜の膜厚が減少するため、活性層を薄くする効果もある。膜厚が薄くなると移動度の向上やオフ電流の低減といった効果が期待できる。

【0130】〔実施例3〕実施例1ではゲイト絶縁膜の成膜後に触媒元素のゲッタリングプロセスを行う例を示したが、本実施例では、活性層を形成した直後にゲッタリングプロセスを行い、その時の熱酸化膜のみをゲイト絶縁膜として利用する。

【0131】この場合、熱酸化膜の膜厚でゲイト絶縁膜の膜厚が決定されるので、加熱処理の条件を調節することで 10nm 程度の極めて薄いゲイト絶縁膜を形成することができる。なお、ゲイト絶縁膜を薄くすることでキャリアの移動度が向上することは公知の事実である。

【0132】この様に、熱酸化膜のみでゲイト絶縁膜を構成すると高速動作の可能な半導体装置を作製できる点と、ゲイト絶縁膜の成膜工程を簡略化できる点に特徴がある。ただし、膜厚を均一に形成することに注意を払う必要がある。

【0133】〔実施例4〕実施例1の図3(C)に示した構成は本発明を用いたアクティブマトリクス型表示装置のTFT側基板(アクティブマトリクス基板と呼ばれる)の一例であり、CMOS回路で様々な回路を構成することができる。

【0134】図4に示すのは、本発明を用いて構成されるアクティブマトリクス基板の他の例を示すブロック図である。ここでは基板401上に画素マトリクス回路402、ソース線ドライバー回路403、ゲイト線ドライバー回路404およびロジック回路405を一体形成して構成される。なお、本実施例ではデジタル対応の一例を示している。

【0135】ソース線ドライバー回路403は主としてシフトレジスタ(カウンタ+デコーダも可)、レベルシフタ、バッファ、ラッチ回路等で構成され、ゲイト線ドライバー回路404は主としてシフトレジスタ、マルチプレクサ、レベルシフタ、バッファ等で構成されている。

【0136】また、画素マトリクス回路402は複数のソース線406、407及び複数のゲイト線408、409とで囲まれた複数の画素領域410がマトリクス状に配置されて構成される。

【0137】そして、複数の画素領域410は画素TFT411、液晶セル412、補助容量413を含んで構成されている。なお、図示されていないが、液晶セル412は画素電極および対向電極とその間に挟持された液晶とで構成される。

【0138】ロジック回路405は、ソース線ドライバー回路403及びゲイト線ドライバー回路404を駆動

するためのスタートパルスやクロック信号等の処理、画素マトリクス回路402に画像を表示させるためのビデオ信号の処理等の様に、画像表示を行うに必要な信号処理を行うために必要な回路全般を指す。

【0139】図4に示す実施例では、ロジック回路405は位相比較器414、LPF (Low Pass Filter) 415、VCO (電圧制御型発振器) 416、分周器417、ソース線ドライバー用 (水平走査用) 発振器418、ゲート線ドライバー用 (垂直走査用) 発振器419、D/Aコンバータ (デジタル・アナログ変換器) 420を含んで構成される。

【0140】なお、本発明者らはここで図示されない他のロジック回路、例えばイメージセンサやCCD、それらから送られてくる信号の入出力を行うI/Oポート、アンプ系回路 (差動アンプ、オペアンプ、コンパレータ等)、データを格納するメモリ (RAMやROM)、CPUまでもモノシリックに搭載したシステムディスプレイをも実現しようと考えている。

【0141】また、421はデジタル階調信号に応じたアナログ信号の入力端子、422はデジタル階調信号を選択するためのビット信号の入力端子、423は水平走査用同期信号の入力端子、424は垂直走査用同期信号の入力端子である。勿論、これらのアナログ信号、ビット信号、同期信号を形成する発振回路をも基板上に組み込んでしまえば入力端子は必要なくなる。

【0142】〔実施例5〕本実施例では実施例1に示したCMOS回路の作製工程を用いてマイクロプロセッサ等の半導体装置 (半導体回路) を構成する場合の例について説明する。なお、本実施例では半導体回路の一実施例であり、回路構成は本実施例で限定されるものではない。

【0143】図5に示す半導体回路はマイクロプロセッサの一例を示している。セラミックス基板501上には絶縁膜502が形成されており、基板と素子とが絶縁分離されている。そして、その上にI/Oポート503~505、CPU506、キャッシュメモリ507、キャッシュアドレスレイ508、乗算器509、リアルタイムクロック、シリアルインターフェース、タイマー等を含む回路510、クロック制御回路511、キャッシュコントローラ512、バスコントローラ513が形成される。

【0144】また、図5に示す回路構成以外にも、LCDドライバ回路や携帯機器用の高周波回路などを構成することもできる。即ち、本発明で得られる実施例1に示す様なTFTを用いることで従来のICチップやLSIチップをTFTで作製することが可能である。

【0145】〔実施例6〕本実施例では実施例1と異なる構成を有するCMOS回路を構成する場合の例について図6 (A)、(B)を用いて説明する。なお、図6 (A)、(B)は基本的な部分は全て実施例1で説明し

たCMOS回路と同一構造であるので、符号は実施例1と同一のものを適宜利用する。

【0146】まず、図6 (A)は実施例1で示したCMOS回路において、ゲート電極601、602として一導電性を付与したシリコン薄膜 (ポリシリコン膜) を利用したシリコンゲイト型TFTでCMOS回路を構成する例である。なお、Nチャネル型TFTとPチャネル型TFTとでゲート電極の導電性を異なるものとする (N型またはP型) デュアルゲイト型TFTとすることもできる。

【0147】この様なシリコンゲイト構造とすると、チタンシリサイド148、149の形成と同時にゲート電極601、602の上部にもチタンシリサイド603、604が形成される。そのため、ゲート電極とゲート電極に接続する接続配線とのオーミックコンタクトをより良好なものとすることができる。

【0148】また、図6 (B)は実施例2で示したCMOS回路において、サイドウォール130、131およびチタンでなる島状パターン151、152を形成しない場合の例である。この構成では、ゲート絶縁膜605、606の端部 (ゲート電極113、114よりも外側に延在した部分) の幅で低濃度不純物領域136、145の長さが決定される。また、チタンシリサイド151、152と配線155、156、158とが直接コンタクトする様な構造となる。

【0149】図6 (B)に示す構造ではサイドウォール130、131および島状パターン151、152を形成する工程を簡略化することで、スループットの向上、歩留りの向上、製造コストの低減が期待できる。

【0150】なお、実施例1および実施例6ではプレーナ型TFTの如きトップゲイト型TFTを例にして説明しているが、逆スタガTFTの如きボトムゲイト型TFTを用いることも可能である。その場合には、ゲート電極として耐熱性の高い材料を用いる等の工夫が必要となる。

【0151】〔実施例7〕本発明は様々な電気光学装置に対しても適用することができる。例えば、実施例1に示したアクティブマトリクス基板と対向基板との間に液晶を挟持すればアクティブマトリクス型液晶表示装置となる。その場合、画素電極を透光性材料で形成すれば透過型液晶表示装置となり、光反射性材料で形成すれば反射型液晶表示装置となる。

【0152】また、アクティブマトリクス基板の構造を多少変更することで容易にアクティブマトリクス型EL表示装置やアクティブマトリクス型EC表示装置等を作製することができる。

【0153】〔実施例8〕本実施例では、本発明を適用しうる半導体装置の一例として各種電子デバイスについて図7を用いて説明する。本発明を利用した半導体装置としては (デジタル) ビデオカメラ、(デジタル) スチ

ルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。また、最近脚光を浴びているPHS（Personal Handyphone System）搭載型携帯情報端末にも適用できる。

【0154】図7（A）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、表示装置2005で構成される。本発明は表示装置2005や内部回路に適用することができる。

【0155】図7（B）はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。本発明は表示装置2102に適用することができる。

【0156】図7（C）はカーナビゲーションシステムであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。本発明は表示装置2202や内部回路に適用することができる。

【0157】図7（D）は携帯電話であり、本体2301、音声出力部2302、音声入力部2303、表示装置2304、操作スイッチ2305、アンテナ2306で構成される。本発明は表示装置2304や通信用の高周波回路などに適用することができる。

【0158】図7（E）はビデオカメラであり、本体2401、表示装置2402、音声入力部2403、操作スイッチ2404、バッテリー2405、受像部2406で構成される。本発明は表示装置2402に適用することができる。

【0159】以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することが可能である。また、これ以外にもIC、LSIといった半導体回路を必要とする製品であれば用途を問わない。

【0160】

【発明の効果】本明細書で開示する発明によれば、単結晶シリコン上に作製したIGFETに匹敵する、或いは凌駕する高い性能を有したTFTを実現することができる。さらに、この様な高い特性を有しているにも拘わらずチャネル長が1 μ m以下となっても極めて高い耐圧特性を有している。

【0161】以上の様なTFTを用いて構成される半導体回路や電気光学装置およびそれらを具備した電子デバイスは、極めて高い性能を有し、機能性、携帯性、信頼性の面で非常に優れたものとなる。

【図面の簡単な説明】

【図1】 アクティブマトリクス基板の作製工程を示す図。

【図2】 アクティブマトリクス基板の作製工程を示す図。

【図3】 アクティブマトリクス基板の作製工程を示す図。

【図4】 アクティブマトリクス基板の一例を説明するための図。

【図5】 半導体回路の一例を説明するための図。

【図6】 CMOS回路の構造を説明するための図。

【図7】 電子デバイスの一例を説明するための図。

【図8】 上面から見た結晶シリコン膜を示す顕微鏡写真。

【図9】 上面から見た結晶シリコン膜を示すTEM写真。

【図10】 結晶粒界の格子縞を示すHR-TEM写真。

【図11】 TFTの電気特性を示す図。

【図12】 リングオシレータの周波数特性を示す図。

【図13】 リングオシレータの出力スペクトルを示す写真。

【図14】 シフトレジスタの出力パルスを示す写真。

【図15】 シフトレジスタの周波数とパルス幅の関係を示す図。

【図16】 スケーリング則を示す図。

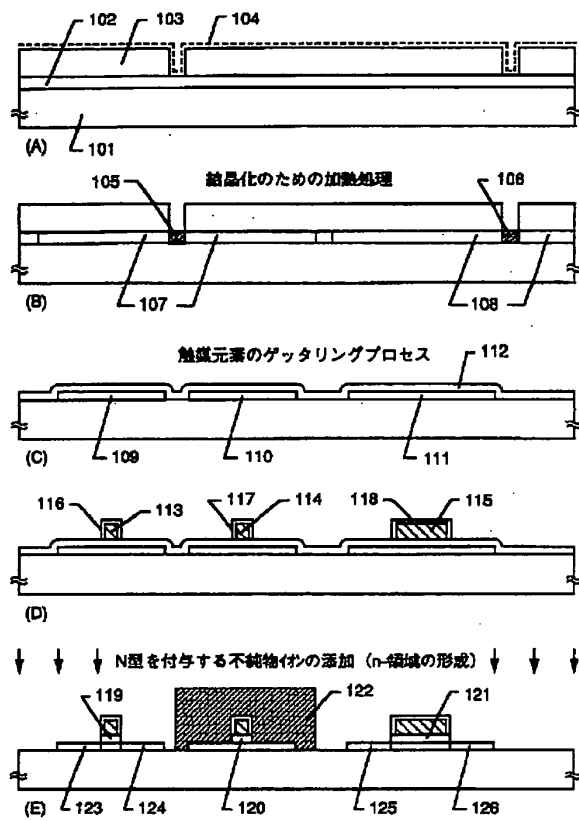
【図17】 結晶シリコン膜の結晶粒を示すTEM写真。

【図18】 欠陥の生成および消滅に関するモデルを説明するための図。

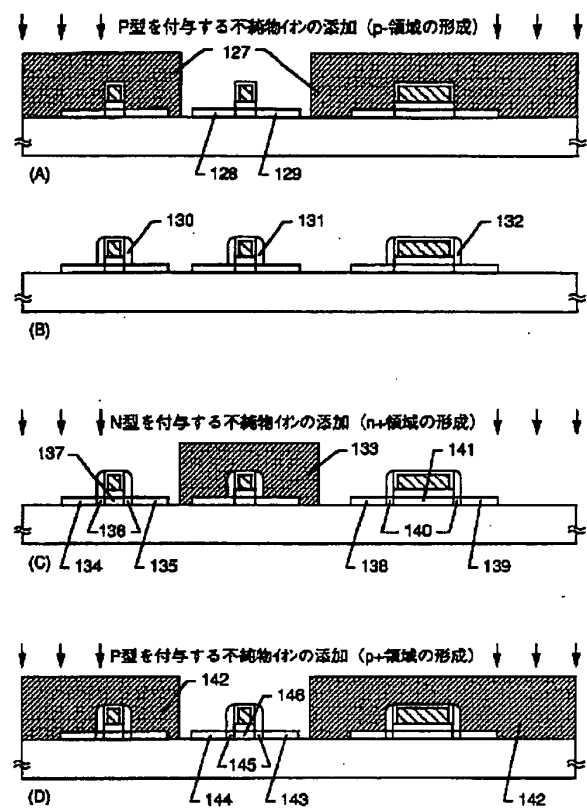
【符号の説明】

101	基板
102	非晶質シリコン膜
103	酸化珪素膜（マスク絶縁膜）
104	ニッケル含有層
105、106	触媒元素の添加領域
107、108	横成長領域
109～111	活性層
112	ゲイト絶縁膜

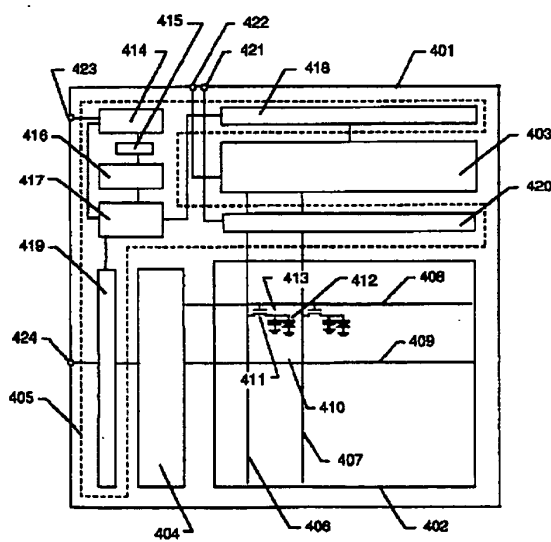
【図 1】



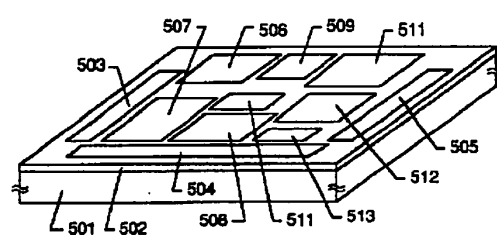
【図 2】



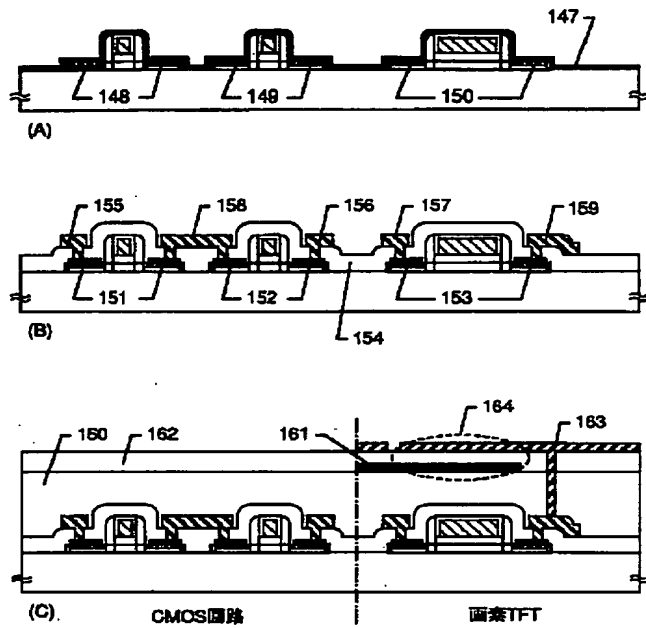
【図 4】



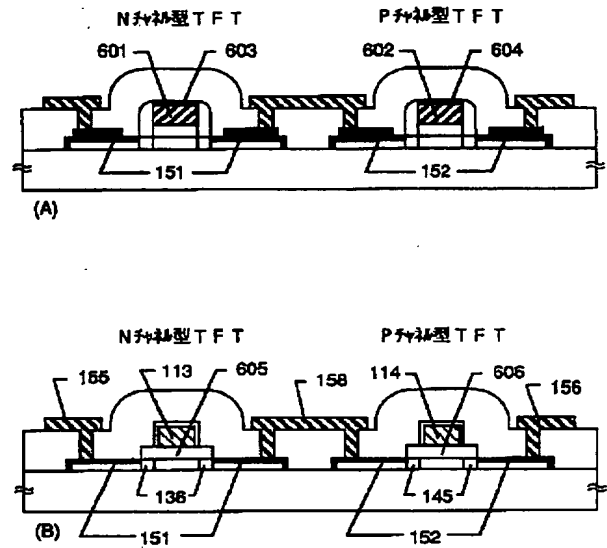
【図 5】



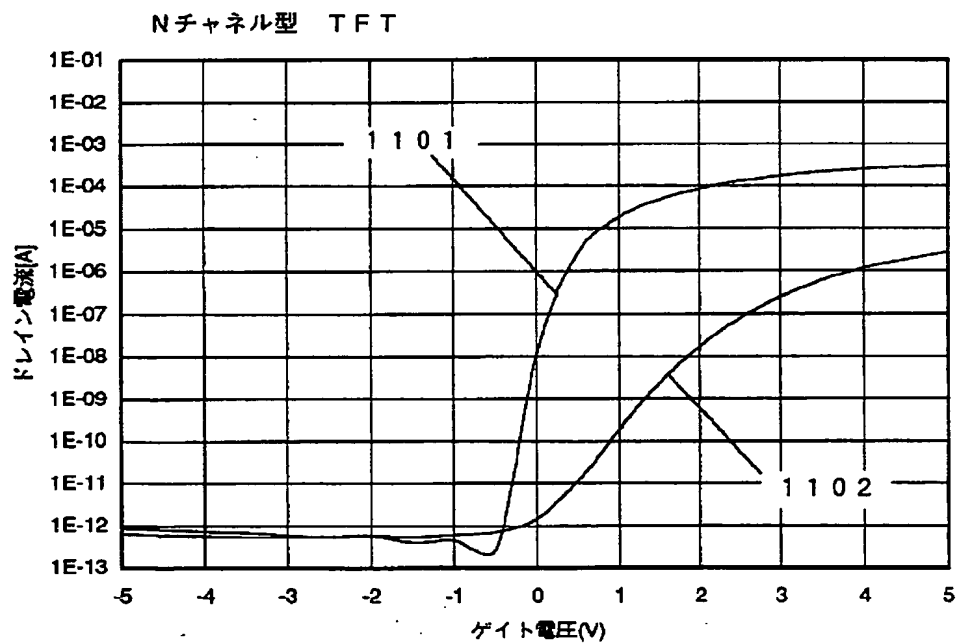
【図3】



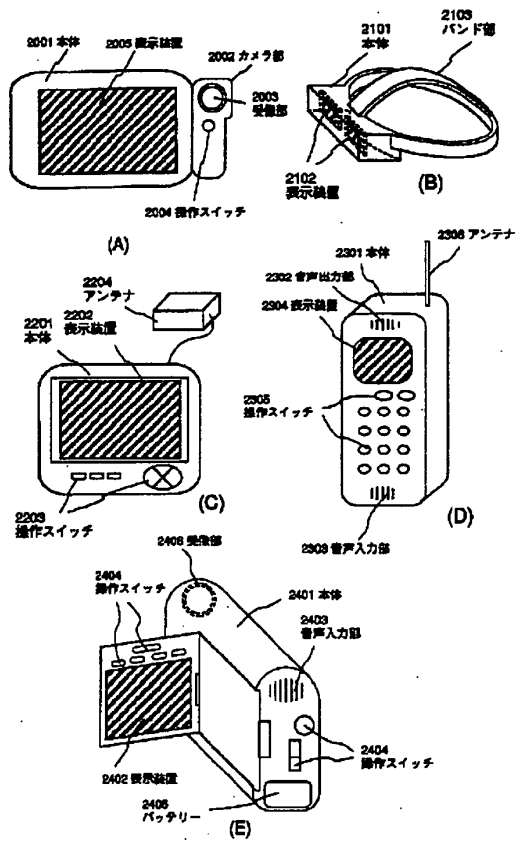
【図6】



【図11】



【図7】

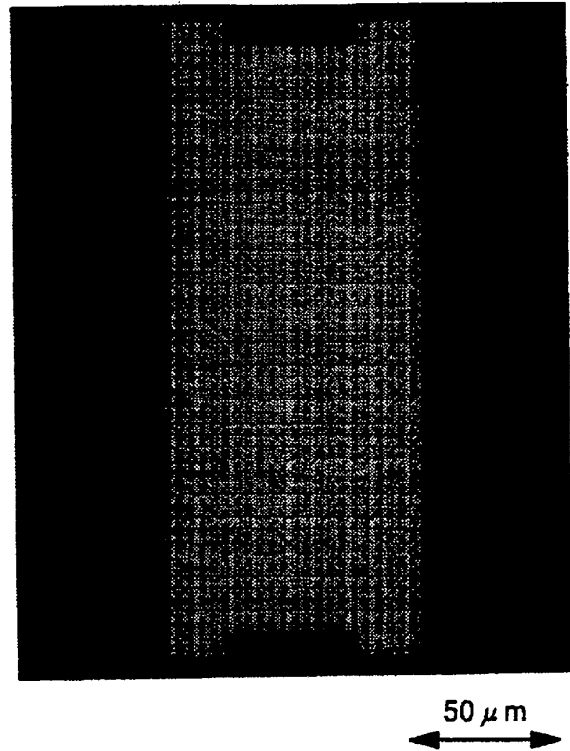


【図8】

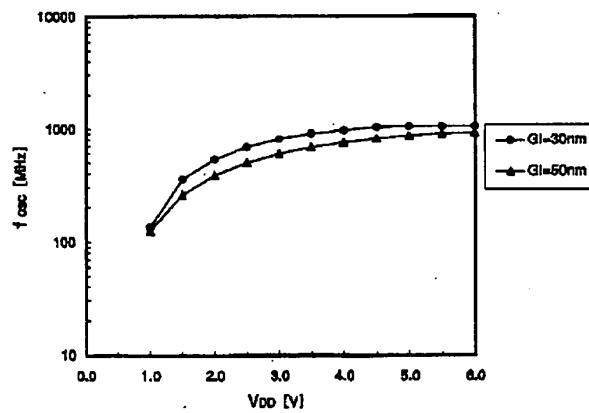
図面代用写真

キャリアが移動する方向

×450



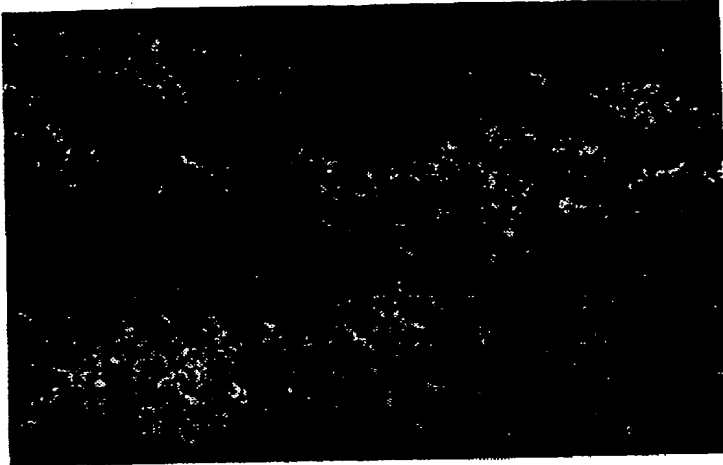
【図12】



【図9】

図面代用写真

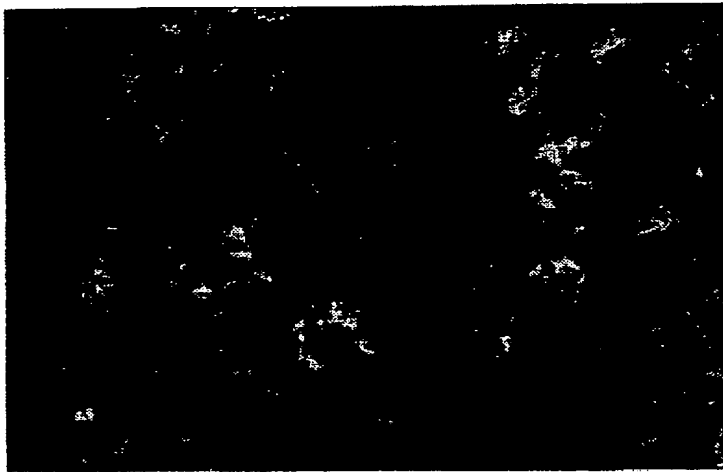
×10000



(A)

 $2\mu\text{m}$

×10000

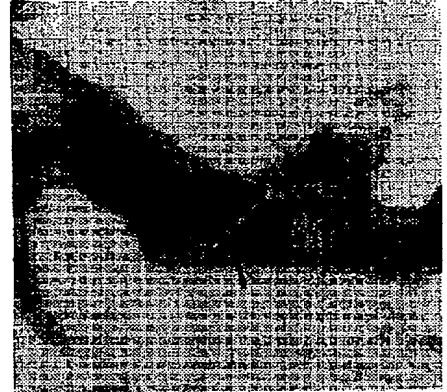


(B)

 $2\mu\text{m}$

【図17】

図面代用写真



(A)

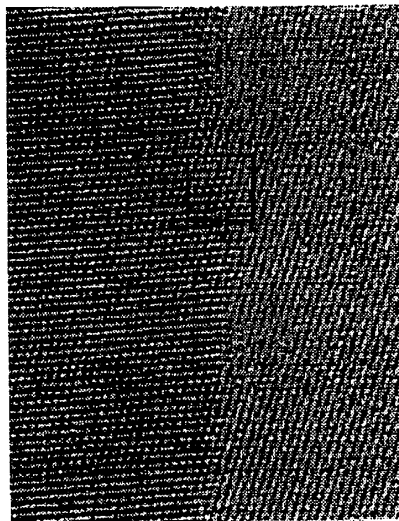


(B)

【図10】

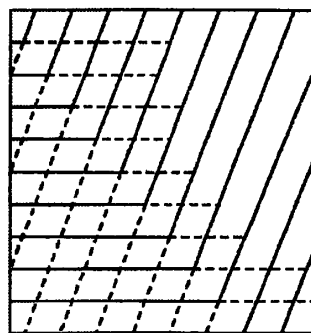
図面代用写真

×4000000



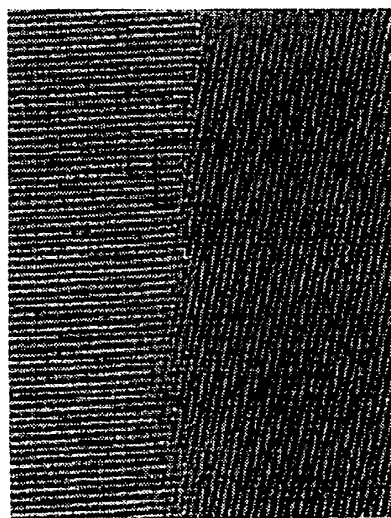
(A)

5 μm



(B)

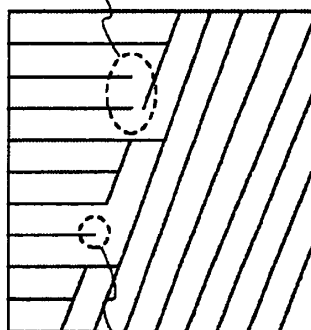
×4000000



(C)

5 μm

不整合結合手

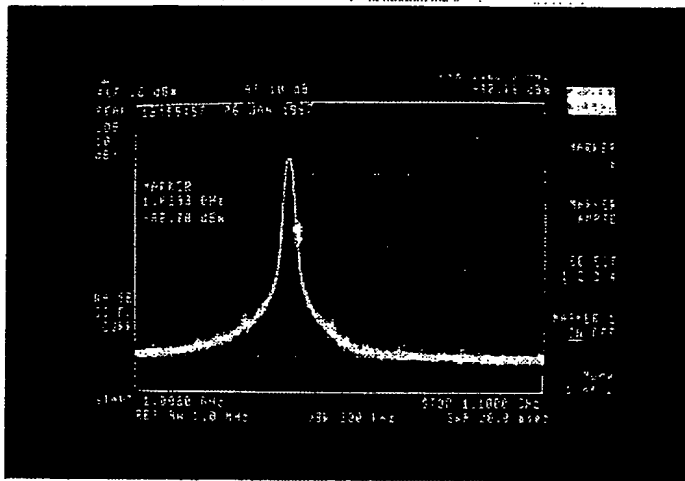


(D)

不整合結合手

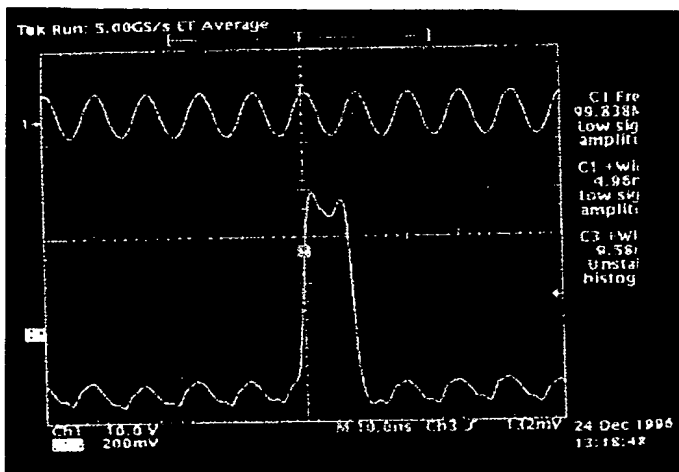
【図13】

図面代用写真

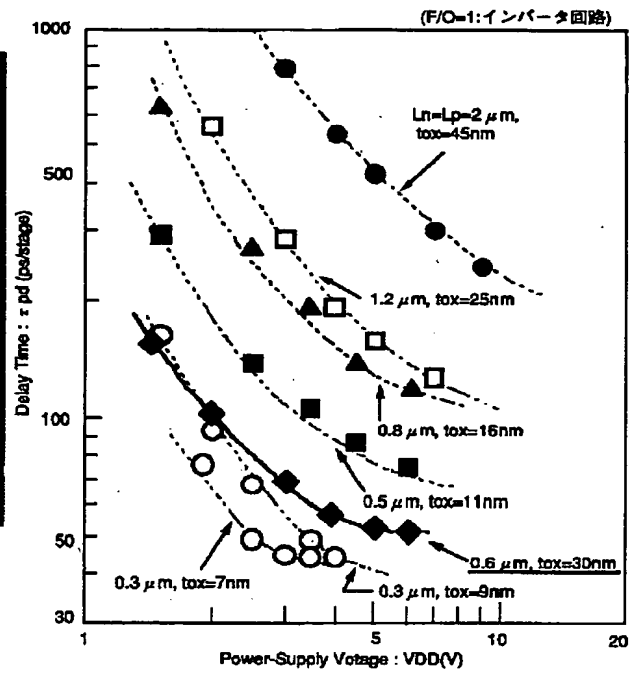


【図14】

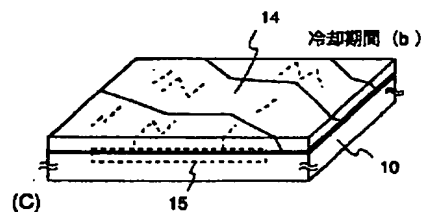
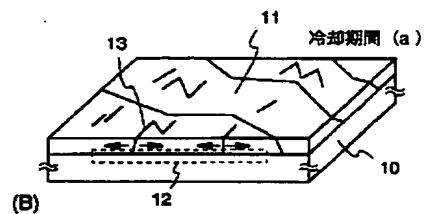
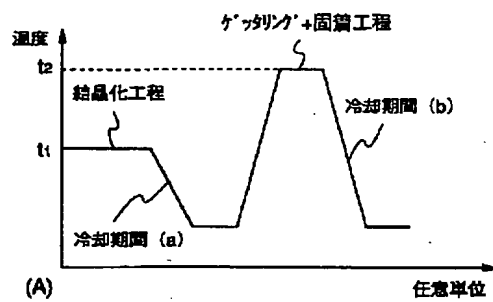
図面代用写真



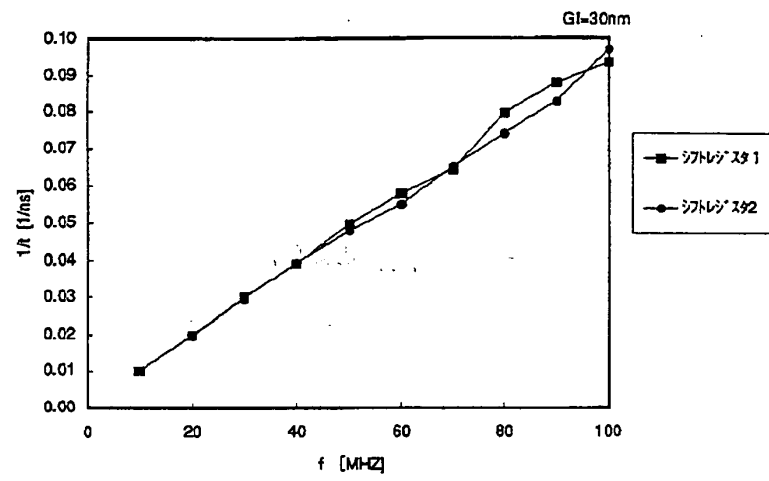
【図16】



【図18】



【図15】



THIS PAGE BLANK (USPTO)